

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10270862 A**

(43) Date of publication of application: **09.10.98**

(51) Int. Cl

H05K 3/46

(21) Application number: **09069883**

(22) Date of filing: **24.03.97**

(71) Applicant: **NEC CORP**

(72) Inventor:
**YOSHIDA SHIRO
TOYA HIROKAZU
UCHIUMI KAZUAKI
OKADA YOSHITSUGU
SAITO MITSUO
KANEKO TOSHIYUKI**

(54) **EMI INHIBITION MULTILAYERED PRINTED BOARD**

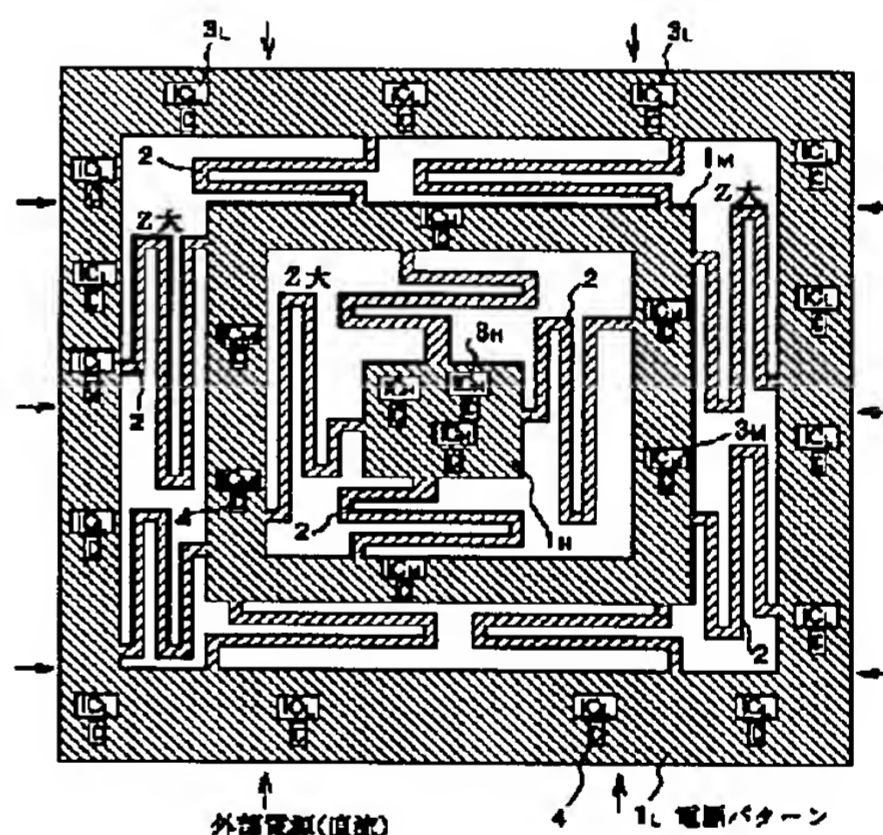
improve a high-frequency impedance Z of the power source wiring pattern 2.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To provide a multilayered printed board on which a plurality of circuit elements such as IC, LSI, etc., are mounted and by which space can be saved and electromagnetic noises be also eliminated greatly.

SOLUTION: Circuit elements to be mounted on are classified into high-speed IC/LSI3H, medium-speed IC/LSI3H and low-speed IC/LSI3L according to their operating speed. A power source layer of a multilayered printed board is classified into power source patterns 1H, 1M and 1L for high-speed, medium speed and low-speed according to the respective high-speed, medium-speed and low-speed IC/LSI3H, 3M and 3L, and the respective power source patterns 1H, 1M and 1L are connected mutually by a power source wiring pattern 2 as to separate them in high frequency. The respective IC/LSI3H, 3M and 3L are connected with a decoupling capacitor 4, and further insulation layers on the upper and lower sides of the power source layer is formed of insulation material mixed with a magnetic body to



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270862

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

Z

Q

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平9-69883

(22) 出願日 平成9年(1997)3月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉田 史郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 遠矢 弘和

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 内海 和明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 若林 忠

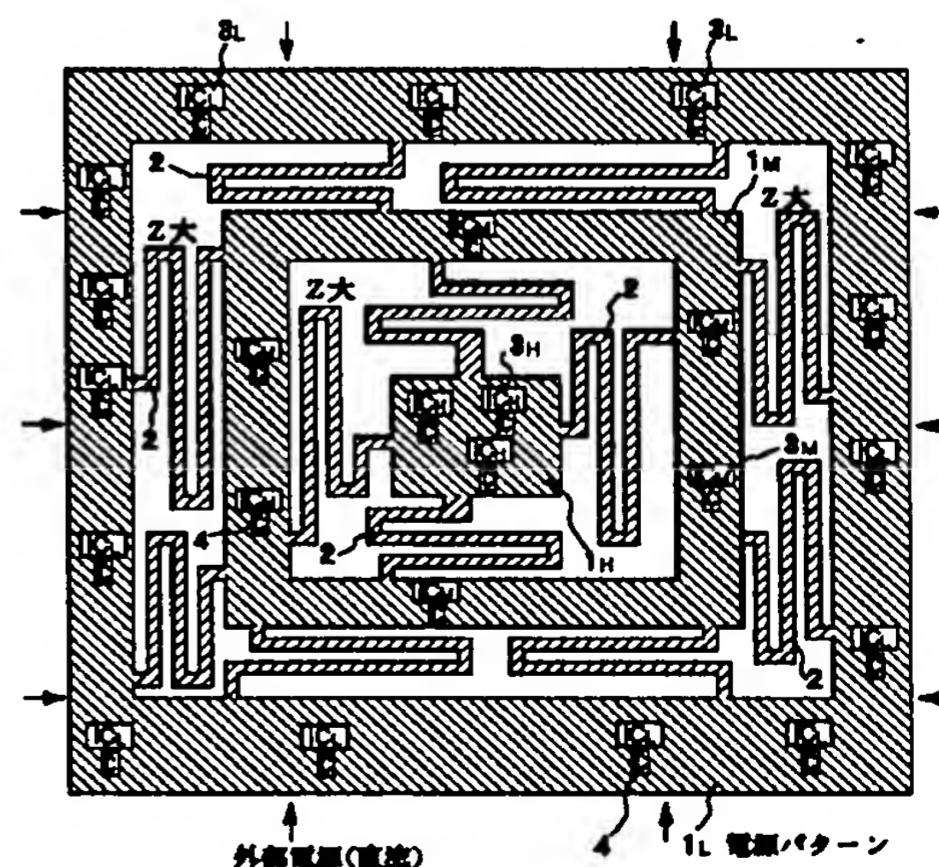
最終頁に続く

(54) 【発明の名称】 EMI抑制多層プリント基板

(57) 【要約】

【課題】 ICやLSIなどの複数の回路素子を搭載する多層プリント基板であって、省スペースかつ電磁ノイズ発生を大幅に低減し得るものを提供する。

【解決手段】 搭載される回路素子とその動作速度に応じて、例えば、高速IC/LSI 3_H、中速IC/LSI 3_M、低速IC/LSI 3_Lに分類する。多層プリント基板の電源層を、高速、中速及び低速IC/LSI 3_H、3_M、3_Lの別に応じて、高速用、中速用及び低速用の電源パターン1_H、1_M、1_Lに分け、各電源パターン1_H、1_M、1_Lの間は、相互に高周波的に分離するような電源配線パターン2によって接続する。各IC/LSI 3_H、3_M、3_Lにはデカップリングコンデンサ4を接続し、さらに、電源層をはさむ上下両側の絶縁層は、電源配線パターン2の高周波インピーダンスZを高めるために、磁性体を混合した絶縁材で構成する。



【特許請求の範囲】

【請求項1】 複数の回路素子を搭載し、グランド層と信号層と前記回路素子に電源電圧を供給するための電源層とがそれぞれ絶縁材を介して積層された多層プリント基板において、

前記各回路素子は、その動作速度に応じて複数のグループに分類され、前記グループごとに前記多層プリント基板における搭載領域が決定され、

前記電源層では、前記グループごとに電源パターンが形成され、異なる前記グループに対応する前記電源パターン間が、当該電源パターン間を高周波的に分離する電源配線パターンによって接続していることを特徴とする多層プリント基板。

【請求項2】 相対的に動作速度の高い前記回路素子のグループが前記多層プリント基板の中央部に配置し、相対的に動作速度の低い前記回路素子のグループが、順次、前記多層プリント基板の周辺部に向って配置している請求項1に記載の多層プリント基板。

【請求項3】 前記電源配線パターンは、直流電圧降下の許容値の範囲内で高周波インピーダンスを高めるようにパターンニングされている請求項1または2に記載の多層プリント配線基板。

【請求項4】 前記電源層の上下両側の前記絶縁材が、磁性体を含む磁性体混合絶縁材で形成されている、請求項1乃至3いずれか1項に記載の多層プリント基板。

【請求項5】 前記電源層をはさんで両側にそれぞれ前記グランド層が配置している請求項1乃至4いずれか1項に記載の多層プリント基板。

【請求項6】 前記グランド層が、スルーホール及びヴィアホールを除く孔を含まない全面平板の導電膜からなる、請求項5に記載の多層プリント基板。

【請求項7】 前記各回路素子の近傍にデカップリングコンデンサが配置されている請求項1乃至6いずれか1項に記載の多層プリント基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トランジスタ、集積回路（IC）、大規模集積回路（LSI）などの回路素子が搭載され、これら回路素子に給電するための電源層を有する多層プリント基板に関し、特に、EMI（Electromagnetic Interference; 電磁波妨害）を抑制できる多層プリント基板に関する。

【0002】

【従来の技術】 トランジスタ、IC、LSIなどの回路素子が搭載されたプリント基板がこれら回路素子の動作時に電磁ノイズを発生することは、よく知られている。プリント基板が発生する電磁ノイズは、その低減のための適切な処置を行わないと、そのプリント基板を含む電子機器自身に、あるいは他の電子機器における誤動作の原因となり得る。

【0003】 このような電磁ノイズの中で特に大きなウェートを占めるのは、コモンモードと言われる、回路の寄生容量や寄生相互インダクタンスによって流れる電流（廻り込み電流）や電源供給線に流れ込む高周波電流による放射である。これらの電磁ノイズに対しては、その発生機構が複雑なため、その発生源に近い所での有効な対策方法がなかった。そのため、従来は、この種の電磁ノイズに対し、電子機器全体を金属筐体で覆って電磁遮蔽を行う対策がとられている。

10 【0004】 また、高周波電源電流による放射を防ぐために、その発生源であるICやLSIなどの回路素子の近傍にデカップリングコンデンサを配置することがよく行われている。これは、プリント基板に搭載されたIC/LSIのスイッチング動作に伴って電源層に流れる高周波電源電流を、そのIC/LSI近傍でデカップリングコンデンサを介してグランド（接地）にバイパスさせるとともに、IC/LSIのスイッチング動作に伴うIC/LSIの電源端子部の電圧変動を抑制するためのものである。

20 【0005】 ところで、信号配線のための配線パターン（信号層）とは別の層としてグランド（接地）層や電源層が積層される多層プリント基板では、その多くのものにおいて、各回路素子への電源供給線となる電源層は、全面導電膜の層、すなわち全面平板の電源層として構成されている。このように電源層を構成することにより、電流の流れる面を最大にして電源供給線の抵抗値を小さくし、直流電源電圧変動を抑圧する効果を得ている。

30 【0006】 しかしながら、全面導電膜として形成された電源層を有する従来の多層プリント基板では、設計者が、IC/LSIの動作に伴いデカップリングコンデンサを介して電源層に流れ込む高周波電源電流をコントロールできない、という問題がある。このような多層プリント基板の場合、電源層のインピーダンスが小さいことから、多層プリント基板上に搭載されたあるIC/LSIに流れる高周波電源電流は、そのIC/LSIの近傍に配置したデカップリングコンデンサだけでなく、その他のIC/LSIの近傍に配置したデカップリングコンデンサにも流れ込むことになる。そのため、多層プリント基板全体では、高周波電源電流の分布は、非常に複雑であって解析が困難であり、その結果、ICやLSIなどの回路素子ごとに配置するデカップリングコンデンサの容量値を最適値に決定することができなかった。また、電源層に流れ込んだ高周波電源電流は、電源層自身が全面平板となっているため、その経路が複雑であり、場合によっては、大きなループを形成し、電磁放射やイミューニティ劣化の要因になるという問題があった。

50 【0007】 そこで本願出願人は、先に、全面平板の電源層を配線化して高周波電流をコントロールできるようにした多層プリント基板を発明し、特願平8-137904として出願した。図5は、特願平8-137904

の多層プリント基板を説明する図であって、電源層での導体パターンを示す図である。

【0008】図5に示す多層プリント基板51では、主幹となる導体部である幹線パターン52と、この幹線パターン52から分岐した多数の樹形状やつづら折り（ジグザグ）状の分枝55とからなる導体パターン（図示斜線部）によって、電源層を構成している。そして、各分枝55の先端に回路素子（IC）53を配置して、幹線パターン52及び分枝55を介して各回路素子（IC）53が給電されるようにしている。また、回路素子（IC）53ごとにその給電点の近傍にデカップリングコンデンサ54が設けられている。デカップリングコンデンサ54は、幹線パターン52と分枝55との接続点にも設けられている。なお、電源層自体は、多層プリント基板のいくつかある導体層の中ほどに位置し、回路素子

（IC）53やデカップリングコンデンサ54は、多層プリント基板の表面（部品面）に実装されている。この多層プリント基板では、分枝55がインピーダンス（インダクタンス）付加回路として機能するので、ディスクリートのインダクタンス素子を用いることなく、各回路素子への電源回路に比較的大きな値のインダクタンスを確保することができる。このため、あるIC/LSIの動作に伴って、周辺にある別のIC/LSIに対応するデカップリングコンデンサに流れ込む高周波電源電流を従来の多層プリント基板に比べて小さくできる。また、電源層に廻り込む電流の経路を設計者が特定でき、高周波電源電流の発生源であるIC/LSIごとに最適なデカップリングコンデンサの容量値を決定できる。最適な容量値を決定できることにより、IC/LSI電源端子部の交流電圧変動を小さくすることが容易であり、IC/LSIの動作の安定化が図られる。

【0009】さらに、特願平8-137904に示す多層プリント基板では、電源層をはさむ上下両側の絶縁材を磁性体を含む絶縁材で形成することにより、電源層のインピーダンスがさらに大きくなり、上記の効果をより一層高めることができる。

【0010】結局、特願平8-137904の多層プリント基板では、電源層のインピーダンス付加回路による配線化によって、デカップリングコンデンサのフィルタ効果を高めるようにしたため、放射ノイズを抑制することができ、これに電源層の上下両側の絶縁材を磁性体を含む絶縁材で形成することと相俟って、多層プリント基板からの電磁放射を大幅に抑制することができる。

【0011】

【発明が解決しようとする課題】しかしながら、特願平8-137904の多層プリント基板には、電源層の配線化方法が複雑であって、限られた領域で最大限のインダクタンスが得られるような配線方法の実現には、樹形状やジグザグ状の導体パターンを形成するための領域確保が必要であって、実装密度の高いプリント基板にお

ては、配線のための十分な領域が確保できないことがあるという問題点がある。

【0012】本発明は、以上の点に鑑みてなされたもので、プリント基板上のICやLSIなどの回路素子の配置及び電源層の配線化（パターン形状）の方法を工夫することにより、省スペースであってかつ電磁ノイズ発生を大幅に低減し得る多層プリント基板を提供することを目的とする。

【0013】また、本発明の他の目的は、あるIC/LSIから電源層に廻り込んで放射の原因となる高周波電源電流の、他のIC/LSIへの拡散を抑制でき、また搭載されたICやLSIの動作の安定化を可能とする多層プリント基板を提供することにある。

【0014】

【課題を解決するための手段】本発明の多層プリント基板は、複数の回路素子を搭載し、グランド層と信号層と回路素子に電源電圧を供給するための電源層とがそれぞれ絶縁材を介して積層された多層プリント基板において、各回路素子は、その動作速度に応じて複数のグループに分類され、グループごとに多層プリント基板における搭載領域が決定され、電源層では、グループごとに電源パターンが形成され、異なるグループに対応する電源パターン間が、当該電源パターン間を高周波的に分離する電源配線パターンによって接続している。

【0015】すなわち本発明では、電磁放射ノイズの発生源であるICやLSIなどの回路素子を、その回路素子の動作速度（高周波電源電流の大きさ）に応じてグループに分類し、各グループごとにプリント基板上に配置することにより、大きな高周波電源電流を発生する高速動作の回路素子、それよりやや低い周波数の電源電流を発生する回路素子、さらにそれより低い周波数の電源電流を発生する低速の回路素子といった形で、周波数帯域により、回路素子群を物理的な実装配置で分けける。回路素子の分類は、例えば高速、中速、低速とに分けられるが、上記3段階に分類することに制限されるものではなく、基板の実装密度等の条件に応じ、数段階に分類してもよい。また、電源層では、回路素子の各分類、すなわち、動作速度の分類ごとに高周波的に分離された電源パターンが形成されるように、銅箔などで導体パターンを形成する。すなわち、高周波電源電流の大きな高速のICやLSIから電源層に流れ込む高周波電源電流が、より低い周波数のICやLSIの搭載領域側に拡散しないように電源パターンを構成する。

【0016】電磁ノイズ放射は、一般に、ノーマルモードの放射とコモンモードの放射とに分類され、その放射エネルギーは、ノーマルモード放射の場合は周波数の2乗の関数として表され、コモンモード放射の場合には周波数に比例する。いずれの場合であっても、周波数が高い程、放射レベルが大きくなる。本発明では、高周波成分を含む電流をアイソレート（分離）することによ

て、電磁ノイズの放射レベルを抑えているのである。

【0017】本発明では、相対的に動作速度の高い回路素子のグループが多層プリント基板の中央部に配置し、相対的に動作速度の低い回路素子のグループが、順次、多層プリント基板の周辺部に向かって側に配置するようにすることが好ましい。このように構成することにより、基板の周辺部側に取り付けられた外部コネクタ（I/Oポート等）から大きな高周波電源電流が流出することが防止され、大きな電磁放射ノイズの要因となる高周波電流が接続ケーブル上を伝搬することを阻止することができる。上述したように電磁ノイズの放射レベルが周波数が高い程大きくなることから、中央部に高速の回路素子を配置することによって、ノイズの原因となる高周波電源電流を封じ込めることができる。すなわち、高い周波数の電源電流を有するICやLSIを基板上の中央部に隔離することによって、これら高速のICやLSIから発生する大きな高周波電源電流の基板外部への流出を阻止することができる。

【0018】本発明では、グループごとの電源パターン間の上述した高周波的な分離を効果的なものとするために、直流電圧降下の許容値の範囲内で高周波インピーダンスZを高めるように電源配線パターンをパターンニングすることが好ましい。

【0019】また本発明では、電源層のインピーダンスZを高めるために、電源層を直接はさむ上下両側の前記絶縁材を、磁性体を含む磁性体混合絶縁材で形成することが好ましい。さらに本発明では、電源層をはさんで両側にそれぞれグランド層を配置し、スルーホール及びヴィアホールを除く孔を含まない全面平板の導電膜によってグランド層を構成することが好ましい。このように構成は、信号線のリターンパス、すなわち信号の帰路電流のルートを最短に確保する意味で望ましい。さらにまた、各回路素子の近傍にデカップリングコンデンサを配置し、各回路素子からの電磁放射ノイズの原因となる高周波電源電流がこのデカップリングコンデンサによってグランドにバイパスされるようにすることが望ましい。

【0020】

【発明の実施の形態】次に、本発明の好ましい実施の形態について図面を参照して説明する。図1は本発明の実施の一形態の多層プリント基板の構成を示す断面図、図2は図1の多層プリント基板での電源層の導体パターンの一例を示す平面図である。

【0021】この多層プリント基板は、5層の信号層5、2層のグランド層6及び1層の電源層7の合計8層の導体層を有し、各導体層が絶縁材8あるいは磁性体混合絶縁材9を介して積層した8層プリント基板である。具体的には、図示下方から上方に向け、信号層5、絶縁材8、グランド層6、磁性体混合絶縁材9、電源層7、磁性体混合絶縁材9、グランド層6の順で積層し、さらに、その上に、絶縁材8及び信号層5がそれぞれ4層ず

つ交互に積層している。ここで、絶縁材8には、例えばガラスエポキシなどの、誘電特性のみを有する材料が使用されている。一方、電源層7を上下にはさむ絶縁材料層である磁性体混合絶縁材9には、磁性体を分散させた絶縁材料が使用される。磁性体としては、例えば、センドラストやフェライトの粉碎物が使用でき、絶縁材料としては、ガラスエポキシなどが使用できる。ただし、センドラスト自体は金属材料なので、分散量を調節し、磁性体混合絶縁材9として絶縁性能が保たれるようにする。

【0022】さて、この多層プリント基板には、回路素子として複数のICやLSIが搭載される。ここでこれら回路素子とその動作速度に応じて、高速、中速及び低速の3種類に分類する。動作速度は、回路素子の内部動作クロック周波数を基準にして分類してもよいが、本発明の目的が電磁ノイズの発生量を減らした高周波電源電流を減らすことであることにより、高周波電源電流の周波数を考慮した動作時の高周波電源電流の大きさによって分類してもよい。このようにして動作速度に応じて分類した回路素子を、それぞれ、高速IC/LSI 3_H、中速IC/LSI 3_M、低速IC/LSI 3_Lとする。

【0023】電源層7には銅箔による導体パターンが形成されており、図2に示すように、この導体パターンは、高速IC/LSI 3_Hに給電する部分の電源パターン1_Hと、中速IC/LSI 3_Mに給電する部分の電源パターン1_Mと、低速IC/LSI 3_Lに給電する部分の電源パターン1_Lと、これら各電源パターン1_H, 1_M, 1_Lの間を接続する電源配線パターン2とによって構成されている。図示したものでは、多層プリント基板の中央部に高速用の電源パターン1_Hが矩形に形成されており、その外側に口の字型に中速用の電源パターン1_Mが形成されている。これら電源パターン1_H, 1_Mの間は、帯状の導体パターンをつづら折れ状にパターン形成して高周波電源電流に対するインピーダンスを高めた電源配線パターン2によって接続している。中速用の電源パターン1_Mの外側には、多層プリント基板の外周に沿ってかつ電源パターン1_Mを囲むように、口の字型に低速用の電源パターン1_Lが形成されている。中速用と低速用の電源パターン1_M, 1_Lの間も、つづら折れ状にパターン形成されて高周波電源電流に対するインピーダンスを高めた電源配線パターン2で接続している。この多層プリント基板への外部電源からの給電は、図示矢印で示すように、低速用の電源パターン1_Lの部分にまず行われるようになっている。

【0024】高速、中速及び低速の各IC/LSI 3_H, 3_M, 3_Lは、電源層7ではなく、それぞれ、多層プリント基板の部品面（表面）であって、高速用、中速用及び低速用の電源パターン1_H, 1_M, 1_Lに対応する領域に実装され、多層プリント基板に形成されたヴィアホールを

介して、対応する電源パターン1H, 1M, 1Lに接続している。また、部品面においては、各IC/LSI 3H, 3M, 3Lに近接してデカップリングコンデンサ4が実装されている。このデカップリングコンデンサ4は、ビアホールを介し、各IC/LSI 3H, 3M, 3Lの給電点とグランド層6とをを高周波的に接続し、各IC/LSI 3H, 3M, 3Lからの高周波電源電流をグランド（接地）側にバイパスしている。なお、グランド層6は、多層プリント基板による部品実装に不可欠となるビアホールあるいはスルーホール以外の孔を含まず、また、線状の

【0025】本実施の形態では、各電源パターン1H, 1M, 1L間を、直流電圧降下を許容値以内に抑えつつプリント基板全体に直流を分配する範囲内で高周波インピーダンスを高くすることを目的とする電源配線パターン2で接続することにより、各電源パターン1H, 1M, 1L間を高周波的に分離し、ある電源パターンの範囲内で発生する高周波電源電流が他の電源パターンの範囲に拡散することを防いでいる。特に、多層プリント基板の中央部を高速IC/LSI 3Hの領域とし、その外側に、順次、中速用、低速用の領域を配することによって、高周波電源電流の大きな高速IC/LSIからの流出する高周波電源電流が低速側に拡散するのを防ぎ、多層プリント基板上の外周に沿って取り付けられたI/Oポートなどの外部コネクタに大きな高周波電源電流が流れるのを防いでいる。その結果、高速IC/LSIから発生する大きな高周波電流が外部コネクタを介して接続ケーブルに流れ、この高周波電流が大きな電磁放射ノイズの要因になることを阻止している。

【0026】さて、本実施の形態の多層プリント基板では、電源層7をはさむ上下の絶縁層として磁性体混合絶縁層9を用いることにより、非磁性の絶縁材を用いる場合に比べ、電源層7の線路インピーダンス、特に電源配線パターン2の線路インピーダンスを高めることができる。なお、グランド層6や各信号層5については、一般的には線路インピーダンスが小さい方が好ましいから、電源層7を上下にはさむ2つの絶縁層以外の各層間絶縁層には、非磁性の絶縁材を用いることが好ましい。また、電源層7とグランド層6をはさむ絶縁層（この場合、磁性体混合絶縁材9）には、電源層7での線路インピーダンスを高めるという観点から、比較的誘電率の小さい材料を使用することが好ましい。

【0027】図3は、このように構成した多層プリント基板における、搭載されたIC/LSI 3への電源回路の等価回路を示している。IC/LSI 3は、電源層7による電源供給線とグランド層6による接地との間を接続するように搭載されており、IC/LSI 3の近傍に

はデカップリングコンデンサ4を配置している。このような構成では、電源層7での高インピーダンスの電源配線パターン2により、IC/LSI動作に伴って電源供給線に流れ込む高周波電源電流は、低インピーダンスのデカップリングコンデンサ4側に流れ込みグランドにバイパスされる。このため、多層プリント基板からの電磁放射を大きく抑制することができる。したがって、本実施の形態の多層プリント基板を用いれば、従来の金属筐体から外部へもれる電磁放射を十分抑制でき、場合によっては金属筐体をも不要にできる。

【0028】ここで、電源層7において各電源パターン1H, 1M, 1Lの領域間を接続する電源配線パターン2の好ましい形状について、図4を用いて検討する。電源層7は、コア材10の上に銅箔からなる導体パターン11により形成されており、上下を磁性体混合絶縁材9によってはさまれている。この条件で、導体パターン11の線路インピーダンスと磁性体の厚さ（断面積）との間には、

$$L = \Phi / I = (nBS) / I \quad \dots(1)$$

の関係が成立する。ここで、Lは線路のインダクタンス、 Φ は磁束、Iは直流電流、nは配線の巻数、Bは磁束密度、Sは磁束が交差する面積を表す。電源層の導体パターン11では立体交差（ジャンパ）を認めないとすると、nは、 $n=1$ と一定である。磁束密度Bは、使用される磁性材料の特性によって決定するので、各IC/LSIに供給する直流電流で飽和しない範囲で、できるだけ大きな飽和磁束密度が望ましい。したがって、インダクタンスLを大きくするためには、磁束が交差する電源配線パターン（導体パターン11）の断面積S（配線厚と配線幅のアスペクト比）が大きい程効果がある。

【0029】また、上述の実施の形態では、電源配線パターン2の平面形状は、直角の角部（コーナ）を有するように帯状の導体パターンをつづら折れ状にパターン形成し、これによって電源配線パターン2の実質的な配線長が長くなり、その高周波インピーダンス（インダクタンス）が大きくなるようにしているが、電源配線パターン2の平面形状はこれに限定されるものではない。各動作速度に対応して低インピーダンスの領域としてパターン形成される電源パターンに対し、十分なインピーダンスを有するような形状であれば、任意の形状とすることができる。ただし、電源層に廻り込む電流の径路を適切に制御するという要求からは、電源配線パターンのインダクタンスやインピーダンスを正確に推定できるような形状に設計することが好ましい。

【0030】以上、本発明の実施の形態について説明したが、本発明は上述した形態に限定されるものではない。特に、各動作速度のグループごとの領域の配置や、多層プリント基板の層数や層構成は、上述したものに限定されるものではない。

【0031】

【発明の効果】以上説明したように本発明は、多層プリント基板に搭載される回路素子とその動作速度に応じてグループに分類し、高インピーダンスの電源配線パターンを介して高周波的に分離した電源パターンがそれぞれのグループに対応するようにして、グループごとに回路素子が基板上に実装されるような構成とすることにより、各グループの回路素子からの高周波電源電流を各電源パターン内に隔離でき、他への流出を防ぐことができる。また、グループごとに分離するため、電源層において高インピーダンス配線を形成するための領域を小さくすることができ、このため、高密度実装基板においても、回路素子の動作に伴う高周波電源電流を小さくできる。さらに、電源層に廻り込む電流の経路を設計者が特定でき、高周波電源電流の発生源である回路素子ごとに、デカップリングコンデンサの最適な容量値を決定できるという効果がある。

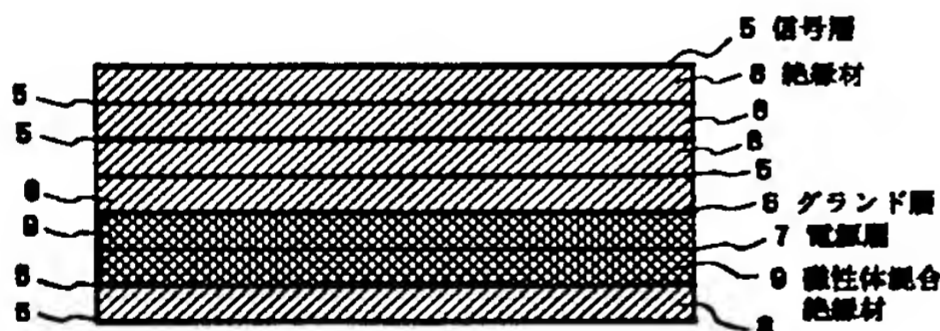
【図面の簡単な説明】

【図1】本発明の実施の一形態の多層プリント基板の構成を示す断面図である。

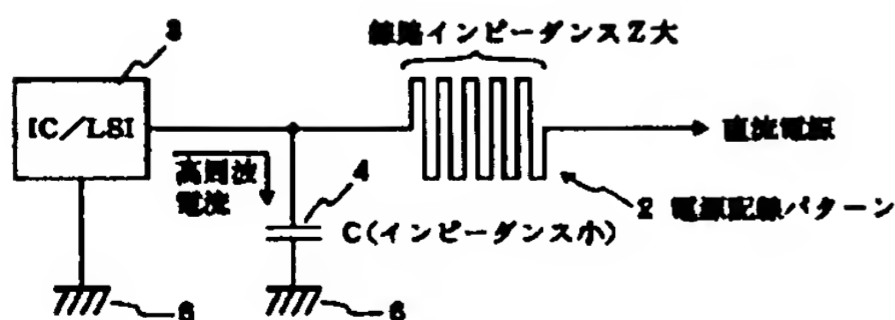
【図2】本発明の実施の一形態の多層プリント基板における電源層の導体パターンの一例を示す平面図である。

【図3】電源層及び各回路素子によって構成される電源回路の等価回路の一例を示す回路図である。

【図1】



【図3】



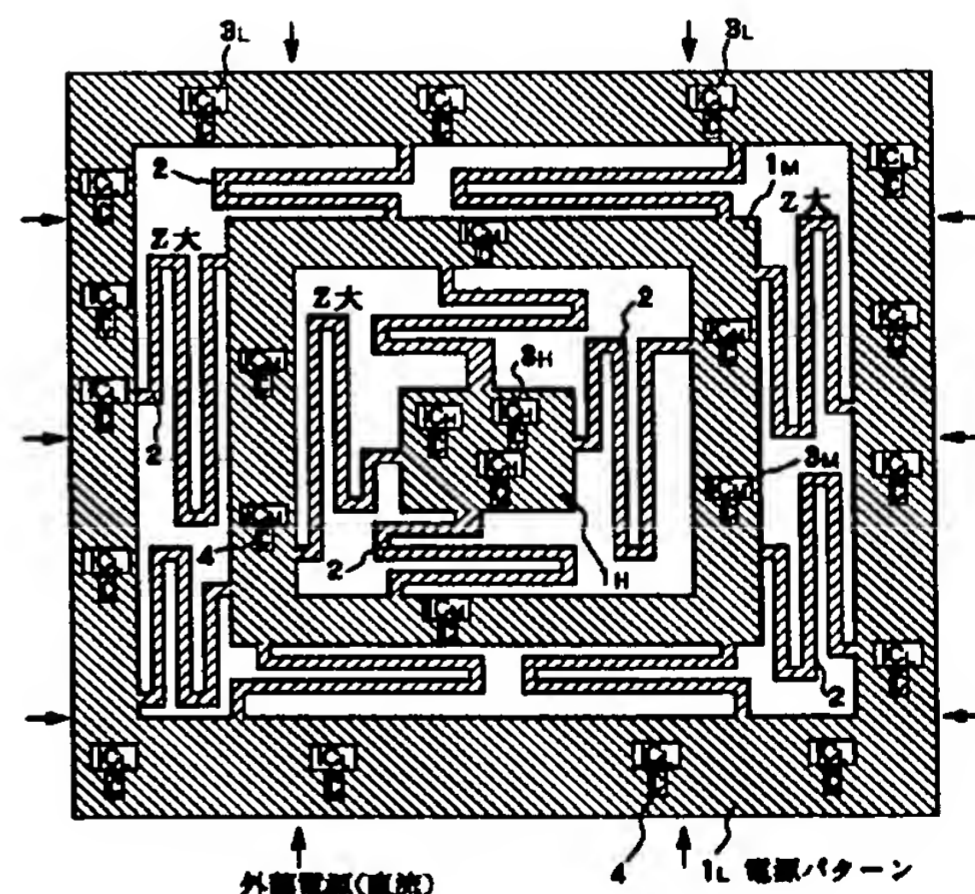
【図4】電源層とその上下の磁性体混合絶縁材との関係を模式的に示す斜視図である。

【図5】従来の多層プリント基板における電源層の導体パターンの一例を示す平面図である。

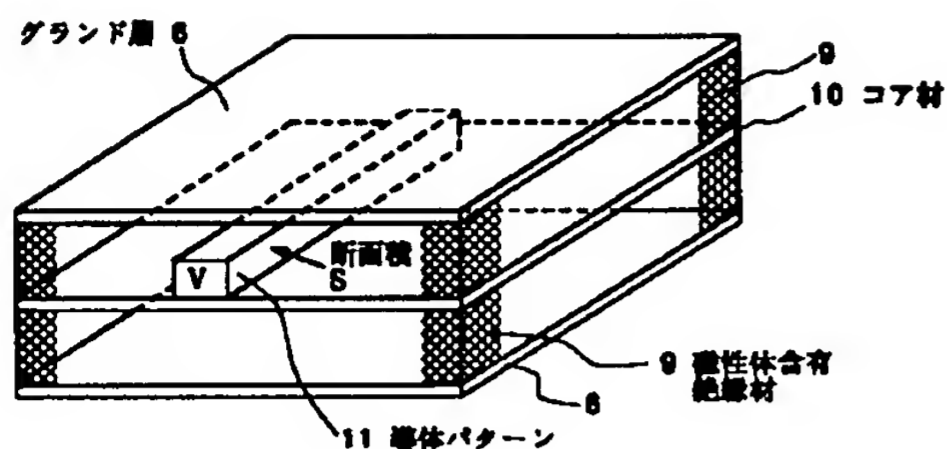
【符号の説明】

- 1H, 1M, 1L 電源パターン
- 2 電源配線パターン
- 3 IC/LSI
- 3H 高速動作IC/LSI
- 3M 中速動作IC/LSI
- 3L 低速動作IC/LSI
- 4, 5 4 デカップリングコンデンサ
- 5 信号層
- 6 グランド（接地）層
- 7 電源層
- 8 絶縁材
- 9 磁性体混合絶縁材
- 10 コア材
- 11 導体パターン
- 20 51 多層プリント基板
- 52 幹線パターン
- 53 回路素子（IC）
- 55 分枝

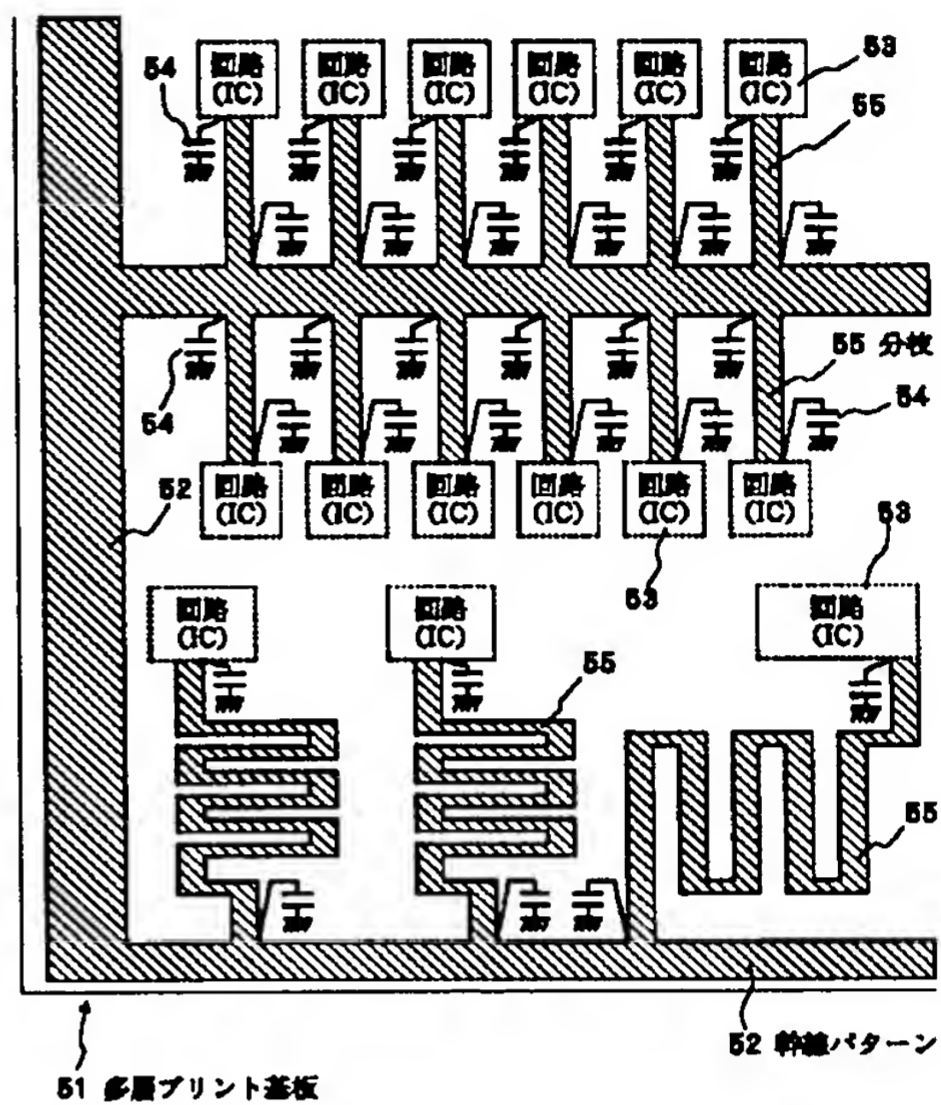
【図2】



【図4】



【図5】



フロントページの続き

(72)発明者 岡田 芳嗣
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 齋藤 光雄
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 金子 俊之
東京都港区芝五丁目7番1号 日本電気株
式会社内